

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年4月1日 (01.04.2004)

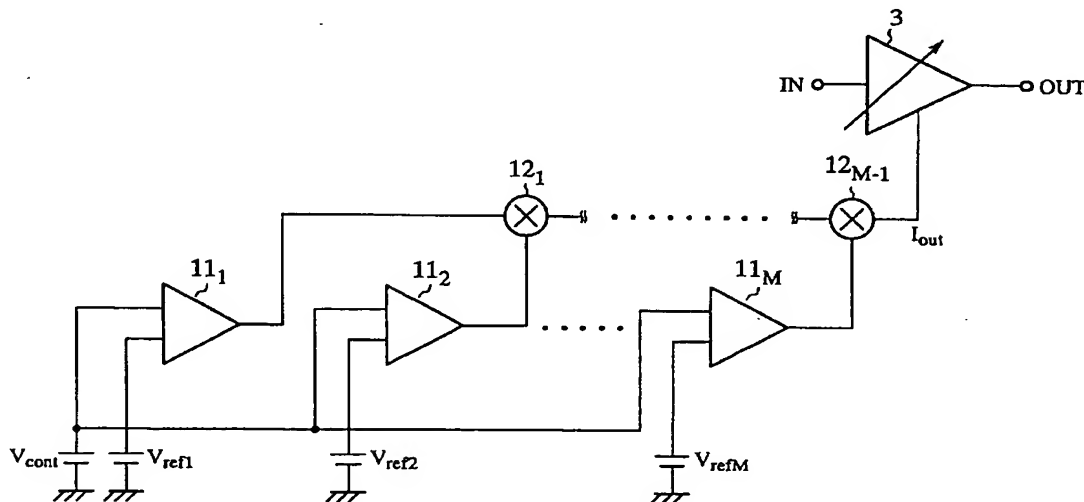
PCT

(10) 国際公開番号
WO 2004/027987 A1

- (51) 国際特許分類: H03G 3/02
(21) 国際出願番号: PCT/JP2002/009639
(22) 国際出願日: 2002年9月19日 (19.09.2002)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 高橋 貴紀 (TAKAHASHI, Yoshinori) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
(74) 代理人: 田澤 博昭, 外 (TAZAWA, Hiroaki et al.); 〒100-0013 東京都千代田区霞が関三丁目7番1号 大東ビル7階 Tokyo (JP).
(81) 指定国 (国内): CN, JP, KR, US.
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
添付公開書類:
— 国際調査報告書
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: VARIABLE GAIN AMPLIFIER

(54) 発明の名称: 可変利得増幅器



(57) Abstract: A variable gain amplifier comprises an element circuit unit including element circuits (11_1 to 11_M) having a constant output current increase ratio $N - 1$ for a voltage change V_r when the control voltage V_{cont} is made variable and being supplied with voltage V_{ref1} to V_{refM} to which the voltage change V_r is added as a reference voltage V_{ref} of the element circuits (11_1 to 11_M) and with a control voltage V_{cont} , multipliers (12_1 to 12_M) for multiplying output current from the element circuits (11_1 to 11_M), and an amplifier (3) for performing variable gain amplification according to the multiplied output current I_{out} . It is possible to suppress characteristic change attributed to temperature compensation of the characteristic and transistor production irregularities and perform a linear gain control for the control voltage V_{cont} when the gain is represented in logarithm.

[続葉有]



(57) 要約:

制御電圧 V_{cont} を可変した場合に電圧変化 V_r に対する出力電流増加率 $N - 1$ が一定の要素回路 $11_1 \sim 11_M$ が設けられ、要素回路 $11_1 \sim 11_M$ の基準電圧 V_{ref} としてその電圧変化 V_r 分ずつ加算した電圧 $V_{ref1} \sim V_{refM}$ が供給されると共にその制御電圧 V_{cont} が供給される要素回路群と、要素回路 $11_1 \sim 11_M$ からの出力電流を乗算する乗算器 $12_1 \sim 12_M$ と、その乗算された出力電流 I_{out} に基づいて可変利得増幅する増幅器 3 とを備え、特性の温度補償およびトランジスタの製造ばらつきによる特性変化を抑制し、利得を対数表現する場合に、制御電圧 V_{cont} に対して線形な利得制御をする。

明 細 書

可変利得増幅器

技術分野

この発明は、利得を制御電圧に対して指数関数的に制御することによって、対数で表現される利得（d B）を制御電圧に対して線形的に制御する可変利得増幅器に関するものである。

背景技術

第1図は従来の可変利得増幅器を示す回路図であり、図において、1は可変電源、2はエミッタ接地されたトランジスタ、3は増幅器である。

次に動作について説明する。

第1図に示したように、可変電源1から発生する制御電圧 V_{BE} を線形に可変すれば、エミッタ接地されたトランジスタ2のコレクタ電流 I_c はその制御電圧 V_{BE} の指数関数で変化する。この指数関数で変化するコレクタ電流 I_c を増幅器3の電流源として供給することで、増幅器3の利得を制御電圧 V_{BE} に対して指数関数的に制御していた。

このように、利得を制御電圧 V_{BE} に対して指数関数的に制御することによって、対数で表現される利得（d B）を制御電圧 V_{BE} に対して線形的に制御していた。

このコレクタ電流 I_c と制御電圧 V_{BE} との関係を数式で示せば、次式（1）で表すことができる。

$$I_c = I_s \cdot \exp \left(\left(q / k \cdot T \right) \cdot V_{BE} \right) \quad (1)$$

但し、 I_s は飽和電流、 q は電荷、 k はボルツマン定数、 T は絶対温

度である。

従来の可変利得増幅器は以上のように構成されているので、上式（１）に示したように、制御電圧 V_{BE} の指数関数で変化するコレクタ電流 I_c が絶対温度 T に依存しており、この特性の温度補償を高精度に行うことができなかった。

また、上式（１）において、トランジスタ２の製造ばらつきにより飽和電流 I_s がばらつくと、制御電圧 V_{BE} に対するコレクタ電流 I_c の傾きがばらつくが、このトランジスタ２の製造ばらつきによる特性変化を抑制することができない等の課題があった。

この発明は上記のような課題を解決するためになされたもので、特性の温度補償およびトランジスタの製造ばらつきによる特性変化を抑制し、利得を制御電圧に対して指数関数的に制御することによって、対数で表現される利得（dB）を制御電圧に対して線形的に制御する可変利得増幅器を得ることを目的とする。

発明の開示

請求の範囲第１項記載の発明に係る可変利得増幅器は、２つの入力を基準電圧および制御電圧とし、その制御電圧を可変した場合に所定の電圧変化に対する出力電流増加率が一定の要素回路が複数設けられ、それら各要素回路の基準電圧としてその所定の電圧変化分ずつ加算した電圧が供給される要素回路群と、各要素回路からの出力電流を乗算する乗算器と、乗算された出力電流に基づいて可変利得増幅する増幅器とを備えたものである。

このことによって、乗算器から出力される制御電圧－出力電流特性は、制御電圧に対して指数関数的な電流として出力され、利得を対数で表現する場合には、制御電圧に対して線形的に利得制御することができる

。また、各要素回路の制御電圧－出力電流特性は温度に応じて変化するが、各要素回路の制御電圧－出力電流特性の繋がりの部分でその温度に応じた変化を相殺し、温度特性を補償することができる。さらに、可変利得増幅器全体では、トランジスタの製造ばらつきによる制御電圧－出力電流特性がほとんど変化することではなく、トランジスタの製造ばらつきによる特性変化を抑制することができる効果を奏する。

請求の範囲第2項記載の発明に係る可変利得増幅器は、要素回路を、制御電圧が供給される第1のトランジスタと、基準電圧が供給される第2のトランジスタと、基準電圧が供給され且つ第2のトランジスタと共にカレントミラー回路を構成し、第2のトランジスタとのサイズの比が $1:N-1$ で構成された第3のトランジスタとを備え、第1および第2のトランジスタの一端から共通に出力電流が流され、第1から第3のトランジスタの他端に共通に最大出力電流を流す定電流源が接続されたものである。

このことによって、簡単な構成で各要素回路を製作することができる効果を奏する。

請求の範囲第3項記載の発明に係る可変利得増幅器は、要素回路を、定電流源が一端に接続された第1のトランジスタと、第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、第1のトランジスタと共にカレントミラー回路を構成し、且つ一端に出力電流端子が接続された第3のトランジスタと、基準電圧が供給される第4のトランジスタと、制御電圧が供給され且つ第4のトランジスタと共に差動対を構成し、その第4のトランジスタと共に他端が共通に第2のトランジスタの一端に接続された第5のトランジスタと、第5のトランジスタに流れる電流に比例して出力電流端子から第3のトランジスタを流れずに分流する電流を流すトランジスタ回路網とを備え、その分流電流が

最大のとき、その分流通電流と第 3 のトランジスタに流れる電流との比が $N - 1 : 1$ となるように、第 2、第 3 のトランジスタおよびトランジスタ回路網のトランジスタのサイズを設定したものである。

このことによって、簡単な構成で各要素回路を製作することができる効果を奏する。

請求の範囲第 4 項記載の発明に係る可変利得増幅器は、2 つの電源を基準電圧および制御電圧とし、その制御電圧を可変した場合に所定の電圧変化に対する出力電流増加率が一定の要素回路が複数段縦続接続され、それら各要素回路の基準電圧としてその所定の電圧変化分ずつ加算した電圧が供給される要素回路群と、要素回路群からの出力電流に基づいて可変利得増幅する増幅器とを備えたものである。

このことによって、要素回路群から出力される制御電圧－出力電流特性は、制御電圧に対して指数関数的な電流として出力され、利得を対数で表現する場合には、制御電圧に対して線形的に利得制御することができる。また、各要素回路の制御電圧－出力電流特性は温度に応じて変化するが、各要素回路の制御電圧－出力電流特性の繋がりの部分でその温度に応じた変化を相殺し、温度特性を補償することができる。さらに、可変利得増幅器全体では、トランジスタの製造ばらつきによる制御電圧－出力電流特性がほとんど変化することはなく、トランジスタの製造ばらつきによる特性変化を抑制することができる効果を奏する。

請求の範囲第 5 項記載の発明に係る可変利得増幅器は、要素回路を、制御電圧が供給される第 1 のトランジスタと、基準電圧が供給される第 2 のトランジスタと、基準電圧が供給され且つ第 2 のトランジスタと共にカレントミラー回路を構成し、第 2 のトランジスタとのサイズの比が $1 : N - 1$ で構成された第 3 のトランジスタと、一端から入力電流が流される第 4 のトランジスタと、第 1 から第 3 のトランジスタの他端に共

通に一端が接続され且つ上記第 4 のトランジスタと共にカレントミラー回路を構成する第 5 のトランジスタと、第 1 および第 2 のトランジスタの一端に共通に接続された出力電流回路とを備えたものである。

このことによって、簡単な構成で各要素回路を製作することができる効果を奏する。

請求の範囲第 6 項記載の発明に係る可変利得増幅器は、要素回路を、一端から入力電流が流される第 1 のトランジスタと、第 1 のトランジスタと共にカレントミラー回路を構成する第 2 のトランジスタと、第 1 のトランジスタと共にカレントミラー回路を構成し、且つ一端に出力電流回路が接続された第 3 のトランジスタと、基準電圧が供給される第 4 のトランジスタと、制御電圧が供給され且つ第 4 のトランジスタと共に差動対を構成し、その第 4 のトランジスタと共に他端が共通に第 2 のトランジスタの一端に接続された第 5 のトランジスタと、第 5 のトランジスタに流れる電流に比例して出力電流回路から第 3 のトランジスタを流れずに分流する電流を流すトランジスタ回路網とを備え、その分流電流が最大するとき、その分流電流と第 3 のトランジスタに流れる電流との比が $N - 1 : 1$ となるように、第 2、第 3 のトランジスタおよびトランジスタ回路網のトランジスタのサイズを設定したものである。

このことによって、簡単な構成で各要素回路を製作することができる効果を奏する。

請求の範囲第 7 項記載の発明に係る可変利得増幅器は、2つの電源を基準電圧および制御電圧とし、その制御電圧を可変した場合に所定の電圧変化に対する利得増加率が一定の要素回路が複数段縦続接続され、それら各要素回路の基準電圧としてその所定の電圧変化分ずつ加算した電圧が供給される要素回路群を備えたものである。

このことによって、要素回路群によって、利得を対数で表現する場合

には、制御電圧に対して線形的に利得制御することができる。また、各要素回路の制御電圧－利得特性は温度に応じて変化するが、各要素回路の制御電圧－利得特性の繋がりの部分でその温度に応じた変化を相殺し、温度特性を補償することができる。さらに、可変利得増幅器全体では、トランジスタの製造ばらつきによる制御電圧－利得特性がほとんど変化することではなく、トランジスタの製造ばらつきによる特性変化を抑制することができる効果を奏する。

請求の範囲第 8 項記載の発明に係る可変利得増幅器は、要素回路を、制御電圧が供給される第 1 のトランジスタと、基準電圧が供給される第 2 のトランジスタと、基準電圧が供給され且つ第 2 のトランジスタと共にカレントミラー回路を構成し、第 2 のトランジスタとのサイズの比が $1 : N - 1$ で構成された第 3 のトランジスタと、入力電圧が供給され且つ第 1 から第 3 のトランジスタの他端に共通に一端が接続された第 4 のトランジスタと、第 1 および第 2 のトランジスタの一端と電源との間に接続された抵抗とを備え、抵抗と第 1 および第 2 のトランジスタの一端との間から出力電圧を発生するようにしたものである。

このことによって、簡単な構成で各要素回路を製作することができる効果を奏する。

図面の簡単な説明

第 1 図は従来の変利得増幅器を示す回路図である。

第 2 図はこの発明の実施の形態 1 による要素回路を示す構成図である。

第 3 図は要素回路の制御電圧－出力電流特性を示す特性図である。

第 4 図は可変利得増幅器を示す構成図である。

第 5 図は可変利得増幅器の制御電圧－出力電流特性を示す特性図であ

る。

第 6 図は要素回路の制御電圧－出力電流の温度特性を示す特性図である。

第 7 図は可変利得増幅器の制御電圧－出力電流の高温時の温度特性を示す特性図である。

第 8 図は可変利得増幅器の制御電圧－出力電流の低温時の温度特性を示す特性図である。

第 9 図はこの発明の実施の形態 2 による要素回路の詳細を示す回路図である。

第 10 図は要素回路の他の詳細を示す回路図である。

第 11 図はこの発明の実施の形態 3 による要素回路の詳細を示す回路図である。

第 12 図は要素回路の他の詳細を示す回路図である。

第 13 図はこの発明の実施の形態 4 による要素回路を示す構成図である。

第 14 図は要素回路の制御電圧－出力電流特性を示す特性図である。

第 15 図は可変利得増幅器を示す構成図である。

第 16 図は可変利得増幅器の制御電圧－出力電流特性を示す特性図である。

第 17 図はこの発明の実施の形態 5 による要素回路の詳細を示す回路図である。

第 18 図は要素回路の他の詳細を示す回路図である。

第 19 図はこの発明の実施の形態 6 による要素回路の詳細を示す回路図である。

第 20 図は要素回路の他の詳細を示す回路図である。

第 21 図はこの発明の実施の形態 7 による要素回路を示す構成図であ

る。

第 2 2 図は要素回路の制御電圧－利得特性を示す特性図である。

第 2 3 図は可変利得増幅器を示す構成図である。

第 2 4 図は可変利得増幅器の制御電圧－利得特性を示す特性図である。

第 2 5 図はこの発明の実施の形態 8 による要素回路の詳細を示す回路図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1.

第 2 図はこの発明の実施の形態 1 による要素回路を示す構成図であり、図において、11 は要素回路である。第 3 図は要素回路の制御電圧－出力電流特性を示す特性図である。

第 4 図は可変利得増幅器を示す構成図であり、図において、3 は増幅器、 $11_1 \sim 11_M$ は M (M は任意の自然数) 個の要素回路、 $12_1 \sim 12_{M-1}$ は $M-1$ 個の乗算器である。第 5 図は可変利得増幅器の制御電圧－出力電流特性を示す特性図である。

次に動作について説明する。

第 2 図に示したように、基準電圧 V_{ref} および制御電圧 V_{cont} を信号入力とし、出力電流 I_{out} を信号出力とした要素回路 11 を設ける。

この要素回路 11 は、第 3 図に示したように、基準電圧 V_{ref} に対して制御電圧 V_{cont} を可変した場合に、所定の電圧変化 V_r に対する出力電流 I_{out} が $I_0 \rightarrow NI_0$ 。(但し、 N は 1 より大きい任意の数

）と変化する、すなわち、電流増加率が $N - 1$ で一定の制御電圧－出力電流特性を有するものである。

第4図に示したように、この要素回路11をM個、すなわち、要素回路11₁～11_M設け、それら各要素回路11₁～11_Mの基準電圧 $V_{ref1} \sim V_{refM}$ としてその所定の電圧変化 V_r 分ずつ加算した電圧を供給する。すなわち、 $(V_{refM}) - (V_{refM-1}) = V_r$ である。また、各要素回路11₁～11_Mには共通に可変される制御電圧 V_{cont} を供給する。

各要素回路11₁～11_Mの出力電流 I_{out} を、乗算器12₁～12_{M-1}で乗算して、その乗算された出力電流 I_{out} に基づいて増幅器3を可変利得制御する。

その結果、第5図に示したように、制御電圧 V_{cont} の電圧変化 V_r に対して、 I_0^M , $N I_0^M$, $N^2 I_0^M$, \dots , $N^M I_0^M$ と出力電流 I_{out} が指数関数に近似される制御電圧－出力電流特性を有するものが得られ、増幅器3の利得を対数で表す場合には、増幅器3の利得を制御電圧 V_{cont} に対して線形に制御することができる。

このように、トランジスタ自体の指数特性を利用していないため、トランジスタの製造ばらつきによる特性変化を抑制することができる。

また、要素回路の段数を適当に与えることと、基準電圧 $V_{ref1} \sim V_{refM}$ を精度良く生成することによって、可変利得増幅器全体では制御電圧－出力電流特性の傾きがトランジスタの製造ばらつきによりほとんど変化することはなく、特性変化を抑制することができる。

さらに、第6図は要素回路の制御電圧－出力電流の温度特性を示す特性図であり、常温に対して高温になれば傾きが小さくなり、常温に対して低温になれば傾きが大きくなる。

第7図は可変利得増幅器の制御電圧－出力電流の高温時の温度特性を

示す特性図、第 8 図は可変利得増幅器の制御電圧－出力電流の低温時の温度特性を示す特性図であり、要素回路を多段接続した場合には、隣り合う要素回路毎の温度特性の上部と下部との繋がりの部分で相殺し、温度特性を補償することができる。

実施の形態 2 .

第 9 図はこの発明の実施の形態 2 による要素回路の詳細を示す回路図であり、第 2 図の要素回路 11 の詳細を示したものである。図において、 Q_1 は制御電圧 V_{cont} がベースに供給されるバイポーラトランジスタ（以下、トランジスタと言う：第 1 のトランジスタ）、 Q_2 は基準電圧 V_{ref} がベースに供給され且つトランジスタ Q_1 と共に差動対を構成するトランジスタ（第 2 のトランジスタ）、 Q_3 は基準電圧 V_{ref} がベースに供給され且つトランジスタ Q_2 と共にカレントミラー回路を構成し、出力電流増加率を $N-1$ としたとき、トランジスタ Q_2 とのエミッタ面積比が $1 : N-1$ で構成されたトランジスタ（第 3 のトランジスタ）である。また、トランジスタ Q_1 、 Q_2 のコレクタから共通に出力電流 I_{out} が流され、トランジスタ Q_3 のコレクタには電源 V_{cc} が接続されている。さらに、 $N I_0$ はトランジスタ $Q_1 \sim Q_3$ のエミッタに共通に接続された最大出力電流を流す定電流源である。

次に動作について説明する。

第 9 図において、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に小さいとき、トランジスタ Q_1 には電流が流れることなく、また、トランジスタ Q_2 、 Q_3 はエミッタ面積比が $1 : N-1$ で構成されたカレントミラー回路であることから、トランジスタ Q_2 には I_0 の電流が流れ、トランジスタ Q_3 には $(N-1) I_0$ の電流が流れる。その結果、出力電流 I_{out} としては電流 I_0 が流れる。

また、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に大きいとき、トランジスタ Q_1 に全ての電流 $N I_0$ が流れ、また、トランジスタ Q_2 、 Q_3 には電流が流れることはない。その結果、出力電流 I_{out} としては電流 $N I_0$ が流れる。

このように、第 9 図に示したように、バイポーラトランジスタによる簡単な構成によって、制御電圧 V_{cont} の変化に対して出力電流 I_{out} を電流 I_0 から電流 $N I_0$ に変化する要素回路 11 を製作することができる。

なお、第 10 図は要素回路の他の詳細を示す回路図であり、第 9 図における要素回路 11 のバイポーラトランジスタ $Q_1 \sim Q_3$ を、MOSFET $Q_1 \sim Q_3$ に置き換え、MOSFET Q_2 と Q_3 とのゲート幅を 1 : $N - 1$ で構成したものである。その他の構成および動作については、第 9 図と同等であり、このように要素回路 11 を製作することもできる。

実施の形態 3.

第 11 図はこの発明の実施の形態 3 による要素回路の詳細を示す回路図であり、第 2 図の要素回路 11 の詳細を示したものである。図において、 I_0 は定電流 I_0 を流す定電流源、 Q_{11} は定電流源 I_0 がコレクタに接続されたバイポーラトランジスタ（以下、トランジスタと言う：第 1 のトランジスタ）、 Q_{12} はトランジスタ Q_{11} と共にカレントミラー回路を構成するトランジスタ（第 2 のトランジスタ）、 Q_{13} はトランジスタ Q_{11} と共にカレントミラー回路を構成し、且つコレクタに出力電流端子 I_{out} が接続されたトランジスタ（第 3 のトランジスタ）である。

Q_{14} は基準電圧 V_{ref} が供給され、コレクタが電源 V_{cc} に接続

されたトランジスタ（第4のトランジスタ）、Q15は制御電圧 V_{cont} が供給され且つトランジスタQ14と共に差動対を構成し、そのトランジスタQ14と共にエミッタが共通にトランジスタQ12のコレクタに接続されたトランジスタ（第5のトランジスタ）である。

Q16はエミッタが電源 V_{cc} にコレクタがトランジスタQ15のコレクタに接続されたトランジスタ、Q17はエミッタが電源 V_{cc} に接続され且つトランジスタQ16と共にカレントミラー回路を構成するトランジスタ、Q18はコレクタがトランジスタQ17のコレクタに接続されたトランジスタ、Q19はコレクタが電流出力端子 I_{out} に接続され且つトランジスタQ18と共にカレントミラー回路を構成するトランジスタであり、これらトランジスタQ16～Q19により、トランジスタ回路網を構成する。

次に動作について説明する。

第11図において、電流源 I_0 に流れる定電流 I_0 、トランジスタQ11～Q13により構成されるカレントミラー回路により、トランジスタQ11のエミッタ面積に対するトランジスタQ12，Q13のエミッタ面積比の割合の電流を流す。

トランジスタQ12を流れる電流は、トランジスタQ14，Q15により構成される差動対から流れ込むものであり、基準電圧 V_{ref} と制御電圧 V_{cont} との電位差によりトランジスタQ14およびQ15の電流として振り分けられる。

制御電圧 V_{cont} が基準電圧 V_{ref} に比べて十分小さいとき、電流 I_{12} は全てトランジスタQ14から流されるため、トランジスタQ15に電流は流れない。逆に制御電圧 V_{cont} が基準電圧 V_{ref} に比べて十分大きいとき、電流 I_{12} は全てトランジスタQ15から流されるため、 $I_{15} = I_{12}$ になる。

このトランジスタ Q_{15} に流れる電流 I_{15} は、トランジスタ Q_{16} 、 Q_{17} により構成されるカレントミラー回路と、トランジスタ Q_{18} 、 Q_{19} により構成されるカレントミラー回路とにより、それぞれのエミッタ面積比に応じた電流比でトランジスタ Q_{19} の電流 I_{19} を生成する。

ここで、そのトランジスタ Q_{19} の電流 I_{19} が最大するとき、その電流 I_{19} とトランジスタ Q_{13} に流れる電流 I_{13} との比が $N-1:1$ (但し、 $N-1$ は出力電流増加率) となるように、トランジスタ Q_{12} 、 Q_{13} およびトランジスタ回路網のトランジスタ $Q_{16} \sim Q_{19}$ のエミッタ面積比を設定すれば、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に小さいとき、出力電流 I_{out} としては電流 $I_{13} = I_0$ が流れ、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に大きいとき、出力電流 I_{out} としては電流 $I_{19} = (N-1) I_0$ と電流 $I_{13} = I_0$ との和の電流 $N I_0$ が流れる。

より具体的には、トランジスタ Q_{12} 、 Q_{13} 、 $Q_{16} \sim Q_{19}$ のエミッタ面積比が、次式 (2) を満たすように設定すれば良い。

$$Q_{12} \cdot Q_{17} \cdot Q_{19} / Q_{13} \cdot Q_{16} \cdot Q_{18} = N-1 \quad (2)$$

このように、第 11 図に示したように、バイポーラトランジスタによる簡単な構成によって、制御電圧 V_{cont} の変化に対して出力電流 I_{out} を電流 I_0 から電流 $N I_0$ に変化する要素回路 11 を製作することができる。

なお、第 12 図は要素回路の他の詳細を示す回路図であり、第 11 図における要素回路 11 のバイポーラトランジスタ $Q_{11} \sim Q_{19}$ を、MOSFET $Q_{11} \sim Q_{19}$ に置き換え、MOSFET Q_{12} 、 Q_{13} およびトランジスタ回路網の MOSFET $Q_{16} \sim Q_{19}$ のゲート幅を設定したものである。その他の構成および動作については、第 11 図と同

等であり、このように要素回路 11 を製作することもできる。

実施の形態 4 .

第 13 図はこの発明の実施の形態 4 による要素回路を示す構成図であり、図において、21 は要素回路である。第 14 図は要素回路の制御電圧－出力電流特性を示す特性図である。

第 15 図は可変利得増幅器を示す構成図であり、図において、 $21_1 \sim 21_M$ は M 個の要素回路、 I_0 は定電流 I_0 を流す定電流源である。第 16 図は可変利得増幅器の制御電圧－出力電流特性を示す特性図である。その他の構成については第 4 図と同等である。

次に動作について説明する。

第 13 図に示したように、入力電流 I_{in} を信号入力とし、出力電流 I_{out} を信号出力とし、基準電圧 V_{ref} および制御電圧 V_{cont} を電源とした要素回路 21 を設ける。

この要素回路 21 は、第 14 図に示したように、基準電圧 V_{ref} に対して制御電圧 V_{cont} を可変した場合に、所定の電圧変化 V_r に対する出力電流 I_{out} が $I_{in} \rightarrow N I_{in}$ と変化する、すなわち、電流増加率が $N - 1$ で一定の制御電圧－出力電流特性を有するものである。

第 15 図に示したように、この要素回路 21 を M 個、すなわち、要素回路 $21_1 \sim 21_M$ を縦続接続し、初段の要素回路 21_1 の入力電流 I_{in} として定電流 I_0 を供給する。また、それら各要素回路 $21_1 \sim 21_M$ の基準電圧 $V_{ref1} \sim V_{refM}$ としてその所定の電圧変化 V_r 分ずつ加算した電圧を供給する。すなわち、 $(V_{refM}) - (V_{refM-1}) = V_r$ である。さらに、各要素回路 $21_1 \sim 21_M$ には共通に可変される制御電圧 V_{cont} を供給する。

そして、最終段の要素回路 21_M の出力電流 I_{out} に基づいて増幅

器 3 を可変利得制御する。

その結果、第 16 図に示したように、制御電圧 V_{cont} の電圧変化 V_r に対して、 I_0 、 $N I_0$ 、 $N^2 I_0$ 、 \dots 、 $N^M I_0$ と出力電流 I_{out} が指数関数に近似される制御電圧－出力電流特性を有するものが得られ、増幅器 3 の利得を対数で表現する場合には、増幅器 3 の利得を制御電圧 V_{cont} に対して線形に制御することができる。

このように、トランジスタ自体の指数特性を利用していないため、トランジスタの製造ばらつきによる特性変化を抑制することができる。

また、要素回路の段数を適当に与えることと、基準電圧 $V_{ref1} \sim V_{refM}$ を精度良く生成することによって、可変利得増幅器全体では制御電圧－出力電流特性の傾きがトランジスタの製造ばらつきによりほとんど変化することはなく、特性変化を抑制することができる。

さらに、要素回路を多段接続した場合には、隣り合う要素回路毎の温度特性の上部と下部との繋がりの部分で相殺し、温度特性を補償することができる。

実施の形態 5 .

第 17 図はこの発明の実施の形態 5 による要素回路の詳細を示す回路図であり、第 13 図の要素回路 21 の詳細を示したものである。図において、 Q_{21} はコレクタから入力電流 I_{in} が流されるバイポーラトランジスタ（以下、トランジスタと言う：第 4 のトランジスタ）、 Q_{22} はトランジスタ $Q_1 \sim Q_3$ のエミッタに共通にコレクタが接続され且つトランジスタ Q_{21} と共にカレントミラー回路を構成するトランジスタ（第 5 のトランジスタ）である。

Q_{23} はエミッタに電源 V_{cc} が接続され、コレクタにトランジスタ Q_1 、 Q_2 のコレクタが共通に接続されたトランジスタ、 Q_{24} はエミ

ツタに電源 V_{cc} が接続され、コレクタに出力電流 I_{out} が流され且つトランジスタ Q_{23} と共にカレントミラー回路を構成するトランジスタであり、以上により出力電流回路を構成する。その他の構成については第 9 図と同等である。

次に動作について説明する。

第 17 図において、トランジスタ Q_{21} と Q_{22} とはカレントミラー回路を構成し、入力電流 I_{in} に対してトランジスタ Q_{22} には $N I_{in}$ が流れるようにエミッタ面積比を設定しておく。

制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に小さいとき、トランジスタ Q_1 には電流が流れることなく、また、トランジスタ Q_2 , Q_3 はエミッタ面積比が $1 : N - 1$ で構成されたカレントミラー回路であることから、トランジスタ Q_2 には I_{in} の電流が流れ、トランジスタ Q_3 には $(N - 1) I_{in}$ の電流が流れる。その結果、トランジスタ Q_{23} には電流 I_{in} が流れ、カレントミラー回路を構成するトランジスタ Q_{24} には出力電流 I_{out} としては電流 I_{in} が流れる。

また、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に大きいとき、トランジスタ Q_1 に全ての電流 $N I_{in}$ が流れ、また、トランジスタ Q_2 , Q_3 には電流が流れることはない。その結果、トランジスタ Q_{23} には電流 $N I_{in}$ が流れ、カレントミラー回路を構成するトランジスタ Q_{24} には出力電流 I_{out} としては電流 $N I_{in}$ が流れる。

このように、第 17 図に示したように、バイポーラトランジスタによる簡単な構成によって、制御電圧 V_{cont} の変化に対して出力電流 I_{out} を電流 I_{in} から電流 $N I_{in}$ に変化する要素回路 21 を製作することができる。

なお、トランジスタ Q_{21} と Q_{22} とのエミッタ面積比を $1 : N$ としたが、 $Q_{22} \cdot Q_{24} / Q_{21} \cdot Q_{23} = N$ となるようにエミッタ面積

比を設定しても良い。

また、第 18 図は要素回路の他の詳細を示す回路図であり、第 17 図における要素回路 21 のバイポーラトランジスタ $Q1 \sim Q3$, $Q21 \sim Q24$ を、MOSFET $Q1 \sim Q3$, $Q21 \sim Q24$ に置き換え、MOSFET $Q2$ と $Q3$ とのゲート幅を $1 : N - 1$ で、また、MOSFET $Q21 \sim Q24$ のゲート幅を $Q22 \cdot Q24 / Q21 \cdot Q23 = N$ となるように構成したものである。その他の構成および動作については、第 17 図と同等であり、このように要素回路 21 を製作することもできる。

実施の形態 6 .

第 19 図はこの発明の実施の形態 6 による要素回路の詳細を示す回路図であり、第 13 図の要素回路 21 の詳細を示したものである。図において、トランジスタ $Q11$ のコレクタから入力電流 I_{in} が流されるように構成されている。

また、 $Q31$ はエミッタが電源 V_{cc} に接続され、コレクタがトランジスタ $Q13$, $Q19$ のコレクタに共通に接続されたトランジスタ、 $Q32$ はエミッタが電源 V_{cc} に接続され、コレクタに出力電流端子 I_{out} が接続され、トランジスタ $Q31$ と共にカレントミラー回路を構成するトランジスタである。以上、トランジスタ $Q31$, $Q32$ により出力電流回路を構成する。その他の構成については第 11 図と同等である。

次に動作について説明する。

第 19 図において、トランジスタ $Q11$ に入力電流 I_{in} を流すことにより、トランジスタ $Q12$, $Q13$ は、トランジスタ $Q11$ のエミッタ面積に対するトランジスタ $Q12$, $Q13$ のエミッタ面積比の割合の

電流を流す。

その結果、上記実施の形態 3 で説明したように、トランジスタ Q_{31} には、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に小さいとき、電流 $I_{13} = I_{in}$ が流れ、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に大きいとき、電流 $I_{19} = (N-1) I_{in}$ と電流 $I_{13} = I_{in}$ との和の電流 $N I_{in}$ が流れる。

トランジスタ Q_{31} 、 Q_{32} は、カレントミラー回路を構成しているので、出力電流 I_{out} としては、トランジスタ Q_{31} と同比率の電流が流れる。

このように、第 19 図に示したように、バイポーラトランジスタによる簡単な構成によって、制御電圧 V_{cont} の変化に対して出力電流 I_{out} を電流 I_{in} から電流 $N I_{in}$ に変化する要素回路 21 を製作することができる。

なお、第 20 図は要素回路の他の詳細を示す回路図であり、第 19 図における要素回路 21 のバイポーラトランジスタ $Q_{11} \sim Q_{19}$ 、 $Q_{31} \sim Q_{32}$ を、MOSFET $Q_{11} \sim Q_{19}$ 、 $Q_{31} \sim Q_{32}$ に置き換え、MOSFET Q_{12} 、 Q_{13} およびトランジスタ回路網の MOSFET $Q_{16} \sim Q_{19}$ のゲート幅を設定したものである。その他の構成および動作については、第 19 図と同等であり、このように要素回路 21 を製作することもできる。

実施の形態 7.

第 21 図はこの発明の実施の形態 7 による要素回路を示す構成図であり、図において、31 は要素回路である。第 22 図は要素回路の制御電圧－利得特性を示す特性図である。

第 23 図は可変利得増幅器を示す構成図であり、図において、31、

～31_MはM個の要素回路である。第24図は可変利得増幅器の制御電圧－利得特性を示す特性図である。

次に動作について説明する。

第21図に示したように、入力電圧V_{in}を信号入力とし、出力電圧V_{out}を信号出力とし、基準電圧V_{ref}および制御電圧V_{cont}を電源とした要素回路31を設ける。

この要素回路31は、第22図に示したように、基準電圧V_{ref}に対して制御電圧V_{cont}を可変した場合に、所定の電圧変化V_rに対する利得G_{ain}がG₀→NG₀と変化する、すなわち、利得増加率がN－1で一定の制御電圧－利得特性を有するものである。

第23図に示したように、この要素回路31をM個、すなわち、要素回路31₁～31_Mを縦続接続し、初段の要素回路31₁に入力電圧V_{in}を供給し、それら各要素回路31₁～31_Mの基準電圧V_{ref1}～V_{refM}としてその所定の電圧変化V_r分ずつ加算した電圧を供給する。すなわち、(V_{refM})－(V_{refM}－1)＝V_rである。また、各要素回路31₁～31_Mには共通に可変される制御電圧V_{cont}を供給し、最終段の要素回路31_Mから出力電圧V_{out}が発生される。

その結果、第24図に示したように、制御電圧V_{cont}の電圧変化V_rに対して、G₀^M，NG₀^M，N²G₀^M，・・・，N^MG₀^Mと利得G_{ain}が指数関数に近似される制御電圧－利得特性を有するものが得られ、利得が対数として表現される場合に、その利得を制御電圧V_{cont}に対して線形に制御することができる。

このように、トランジスタ自体の指数特性を利用していないため、トランジスタの製造ばらつきによる特性変化を抑制することができる。

また、要素回路の段数を適当に与えることと、基準電圧V_{ref1}～

V_{refM} を精度良く生成することによって、可変利得増幅器全体では制御電圧－利得特性の傾きがトランジスタの製造ばらつきによりほとんど変化することはなく、特性変化を抑制することができる。

さらに、要素回路を多段接続した場合には、隣り合う要素回路毎の温度特性の上部と下部との繋がりの部分で相殺し、温度特性を補償することができる。

実施の形態 8 .

第 2 5 図はこの発明の実施の形態 8 による要素回路の詳細を示す回路図であり、第 2 1 図の要素回路 3 1 の詳細を示したものである。図において、 R_1 、 R_2 は抵抗、 Q_{41} はコレクタがトランジスタ $Q_1 \sim Q_3$ のエミッタに共通に接続され、エミッタが抵抗 R_2 に接続され、入力電圧 V_{in} が供給されるバイポーラトランジスタ（以下、トランジスタと言う：第 4 のトランジスタ）である。

また、トランジスタ Q_1 、 Q_2 のコレクタには抵抗 R_1 を介して、トランジスタ Q_3 のコレクタには直接に電源 V_{cc} に接続されている。さらに、抵抗 R_1 とトランジスタ Q_1 、 Q_2 のコレクタとの間から出力電圧 V_{out} を発生するように構成されている。その他の構成については第 9 図と同等である。

次に動作について説明する。

第 2 5 図において、トランジスタ Q_{41} には入力電圧 V_{in} に応じた電流が流れる。

制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に小さいとき、トランジスタ Q_1 には電流が流れることなく、また、トランジスタ Q_2 、 Q_3 はエミッタ面積比が $1 : N - 1$ で構成されたカレントミラー回路であることから、トランジスタ Q_2 には I_{in} の電流が流れ、トランジ

スタQ3には $(N-1)I_{in}$ の電流が流れる。その結果、抵抗R1には電流 I_{in} が流れ、出力電圧 V_{out} として $I_{in} \cdot R_1$ を発生する。

また、制御電圧 V_{cont} が基準電圧 V_{ref} に対して十分に大きいとき、トランジスタQ1に全ての電流 NI_{in} が流れ、また、トランジスタQ2, Q3には電流が流れることはない。その結果、抵抗R1には電流 NI_{in} が流れ、出力電圧 V_{out} として $NI_{in} \cdot R_1$ を発生する。

このように、第25図に示したように、バイポーラトランジスタによる簡単な構成によって、制御電圧 V_{cont} の変化に対して出力電圧 V_{out} を $I_{in} \cdot R_1$ から $NI_{in} \cdot R_1$ に変化する、すなわち、 $I_{in} \cdot R_1$ を利得 G_0 とすれば、制御電圧 V_{cont} の変化に対して利得を G_0 から NG_0 に変化する要素回路31を製作することができる。

産業上の利用可能性

以上のように、この発明に係る可変利得増幅器は、特性の温度補償およびトランジスタの製造ばらつきによる特性変化を抑制し、制御電圧に対して線形な利得制御をするのに適している。

請 求 の 範 囲

1. 2つの入力を基準電圧および制御電圧とし、その基準電圧に対してその制御電圧を可変した場合に所定の電圧変化に対する出力電流増加率が一定の要素回路が複数設けられ、それら各要素回路の基準電圧としてその所定の電圧変化分ずつ加算した電圧が供給されると共にそれら各要素回路にその可変される制御電圧が供給される要素回路群と、

上記各要素回路からの出力電流を乗算する乗算器と、

上記乗算器により乗算された出力電流に基づいて可変利得増幅する増幅器とを備えた可変利得増幅器。

2. 要素回路は、

制御電圧が供給される第1のトランジスタと、

基準電圧が供給され且つ上記第1のトランジスタと共に差動対を構成する第2のトランジスタと、

基準電圧が供給され且つ上記第2のトランジスタと共にカレントミラー回路を構成し、出力電流増加率を $N-1$ (N は1より大きい任意の数)としたとき、その第2のトランジスタとのサイズの比が $1:N-1$ で構成された第3のトランジスタとを備え、

上記第1および第2のトランジスタの一端から共通に出力電流が流され、上記第1から第3のトランジスタの他端に共通に最大出力電流を流す定電流源が接続されたことを特徴とする請求の範囲第1項記載の可変利得増幅器。

3. 要素回路は、

定電流源が一端に接続された第1のトランジスタと、

上記第 1 のトランジスタと共にカレントミラー回路を構成する第 2 のトランジスタと、

上記第 1 のトランジスタと共にカレントミラー回路を構成し、且つ一端に出力電流端子が接続された第 3 のトランジスタと、

基準電圧が供給される第 4 のトランジスタと、

制御電圧が供給され且つ上記第 4 のトランジスタと共に差動対を構成し、その第 4 のトランジスタと共に他端が共通に上記第 2 のトランジスタの一端に接続された第 5 のトランジスタと、

上記第 5 のトランジスタに流れる電流に比例して上記出力電流端子から上記第 3 のトランジスタを流れずに分流する電流を流すトランジスタ回路網とを備え、

その分流電流が最大するとき、その分流電流と上記第 3 のトランジスタに流れる電流との比が $N - 1 : 1$ (但し、 $N - 1$ は出力電流増加率で、 N は 1 より大きい任意の数) となるように、上記第 2、第 3 のトランジスタおよび上記トランジスタ回路網のトランジスタのサイズを設定したことを特徴とする請求の範囲第 1 項記載の可変利得増幅器。

4. 2 つの電源を基準電圧および制御電圧とし、その基準電圧に対してその制御電圧を可変した場合に所定の電圧変化に対する出力電流増加率が一定の要素回路が複数段縦続接続され、初段の要素回路に入力電流が供給され、それら各要素回路の基準電圧としてその所定の電圧変化分ずつ増加した電圧が供給されると共にそれら各要素回路にその可変される制御電圧が供給される要素回路群と、

上記要素回路群からの出力電流に基づいて可変利得増幅する増幅器とを備えた可変利得増幅器。

5. 要素回路は、

制御電圧が供給される第1のトランジスタと、

基準電圧が供給され且つ上記第1のトランジスタと共に差動対を構成する第2のトランジスタと、

基準電圧が供給され且つ上記第2のトランジスタと共にカレントミラー回路を構成し、出力電流増加率を $N-1$ (N は1より大きい任意の数)としたとき、その第2のトランジスタとのサイズの比が $1:N-1$ で構成された第3のトランジスタと、

一端から入力電流が流される第4のトランジスタと、

上記第1から第3のトランジスタの他端に共通に一端が接続され且つ上記第4のトランジスタと共にカレントミラー回路を構成する第5のトランジスタと、

上記第1および第2のトランジスタの一端に共通に接続された出力電流回路とを備えたことを特徴とする請求の範囲第4項記載の可変利得増幅器。

6. 要素回路は、

一端から入力電流が流される第1のトランジスタと、

上記第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタと、

上記第1のトランジスタと共にカレントミラー回路を構成し、且つ一端に出力電流回路が接続された第3のトランジスタと、

基準電圧が供給される第4のトランジスタと、

制御電圧が供給され且つ上記第4のトランジスタと共に差動対を構成し、その第4のトランジスタと共に他端が共通に上記第2のトランジスタの一端に接続された第5のトランジスタと、

上記第 5 のトランジスタに流れる電流に比例して上記出力電流回路から上記第 3 のトランジスタを流れずに分流する電流を流すトランジスタ回路網とを備え、

その分流電流が最大るとき、その分流電流と上記第 3 のトランジスタに流れる電流との比が $N - 1 : 1$ (但し、 $N - 1$ は出力電流増加率で、 N は 1 より大きい任意の数) となるように、上記第 2、第 3 のトランジスタおよび上記トランジスタ回路網のトランジスタのサイズを設定したことを特徴とする請求の範囲第 1 項記載の可変利得増幅器。

7. 2 つの電源を基準電圧および制御電圧とし、その基準電圧に対してその制御電圧を可変した場合に所定の電圧変化に対する利得増加率が一定の要素回路が複数段縦続接続され、初段の要素回路に入力電圧が供給され、それら各要素回路の基準電圧としてその所定の電圧変化分ずつ加算した電圧が供給されると共にそれら各要素回路にその可変される制御電圧が供給され、最終段の要素回路から出力電圧が発生される要素回路群を備えた可変利得増幅器。

8. 要素回路は、

制御電圧が供給される第 1 のトランジスタと、

基準電圧が供給され且つ上記第 1 のトランジスタと共に差動対を構成する第 2 のトランジスタと、

基準電圧が供給され且つ上記第 2 のトランジスタと共にカレントミラー回路を構成し、利得増加率を $N - 1$ (但し、 N は 1 より大きい任意の数) としたとき、その第 2 のトランジスタとのサイズの比が $1 : N - 1$ で構成された第 3 のトランジスタと、

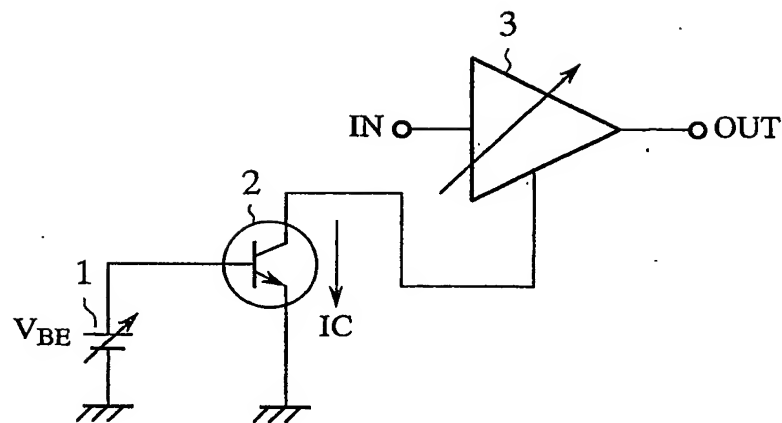
入力電圧が供給され且つ上記第 1 から第 3 のトランジスタの他端に共

通に一端が接続された第 4 のトランジスタと、

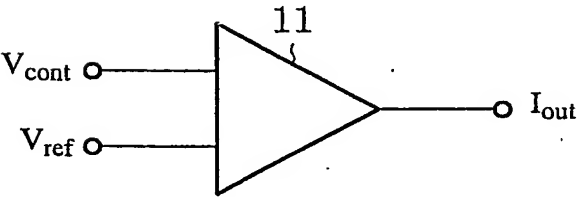
上記第 1 および第 2 のトランジスタの一端と電源との間に接続された抵抗とを備え、

上記抵抗と上記第 1 および第 2 のトランジスタの一端との間から出力電圧を発生することを特徴とする請求の範囲第 7 項記載の可変利得増幅器。

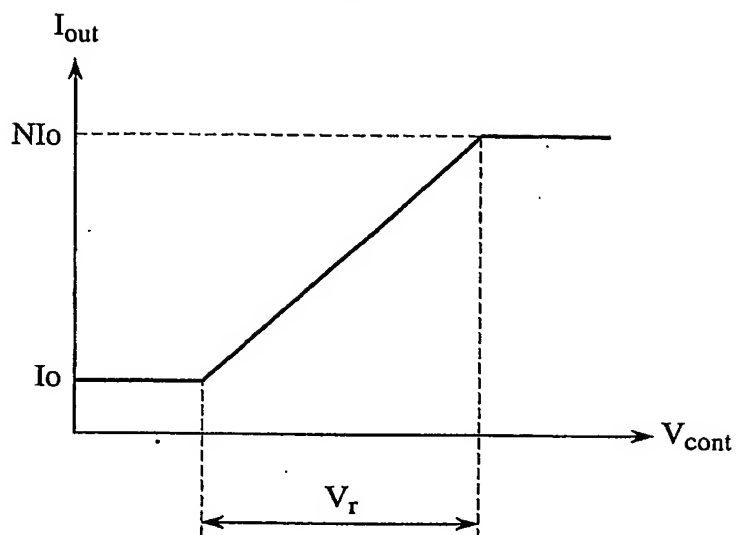
第 1 図



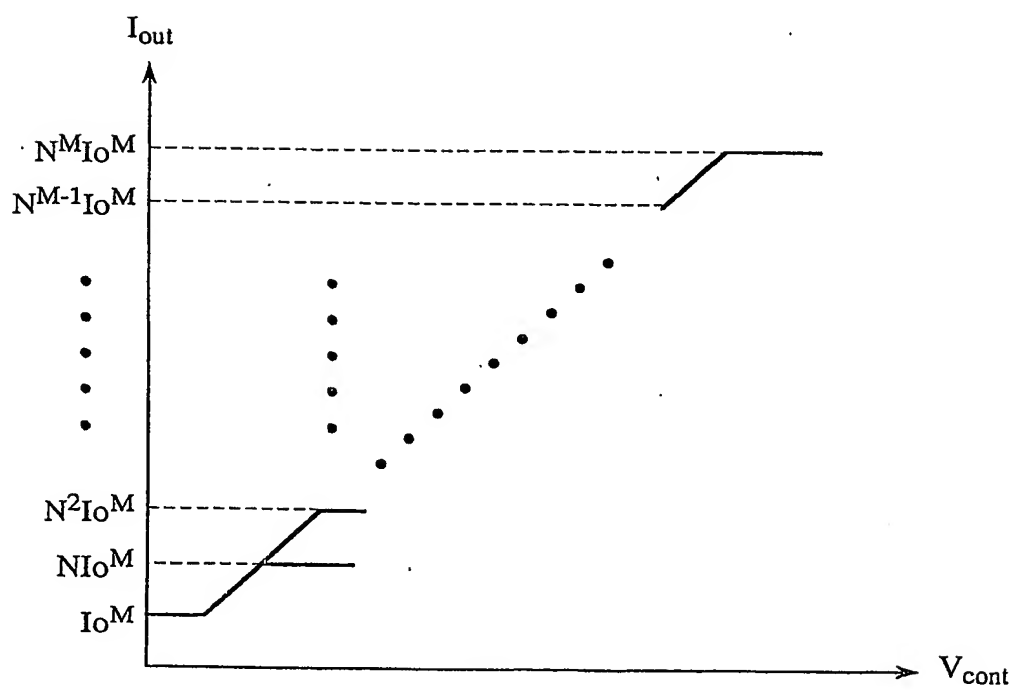
第 2 図



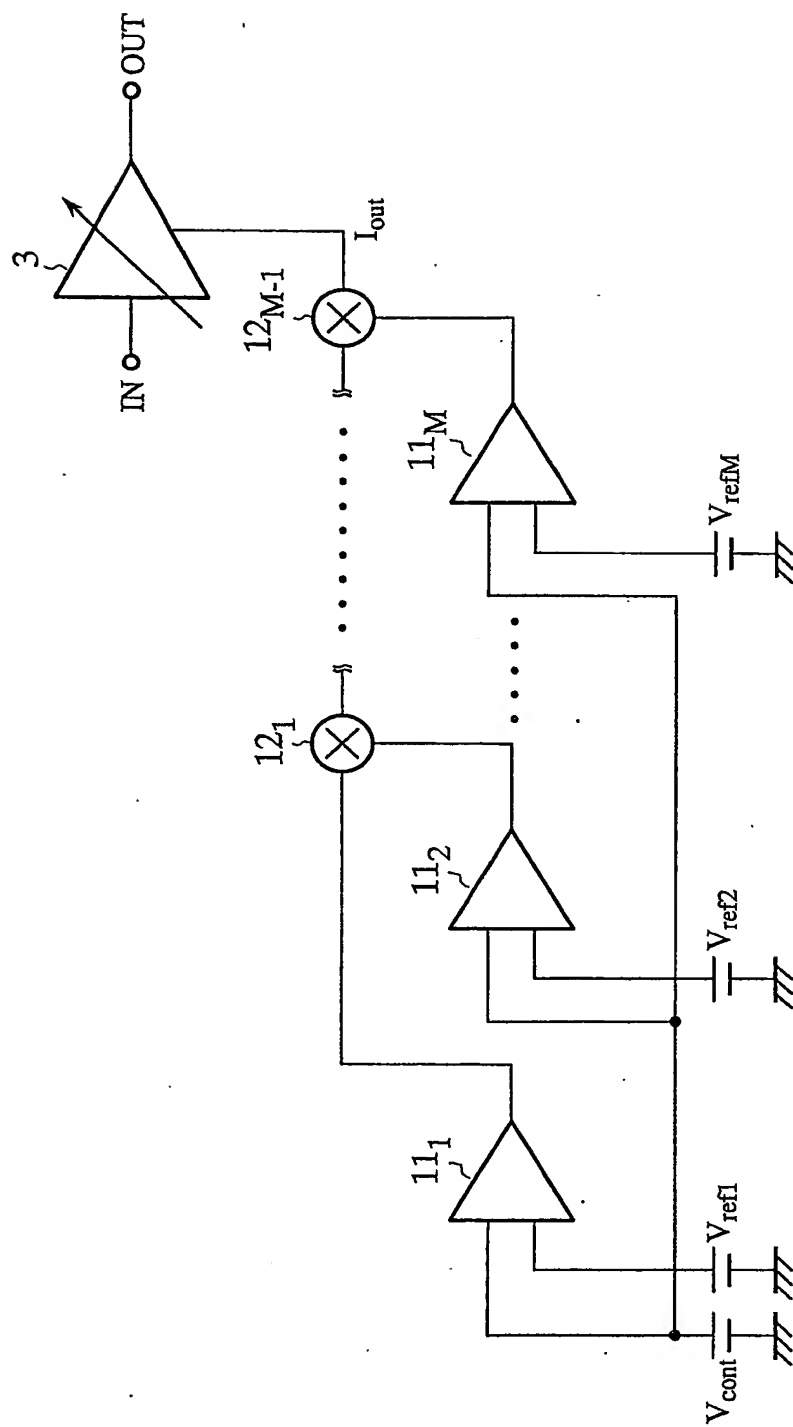
第3図



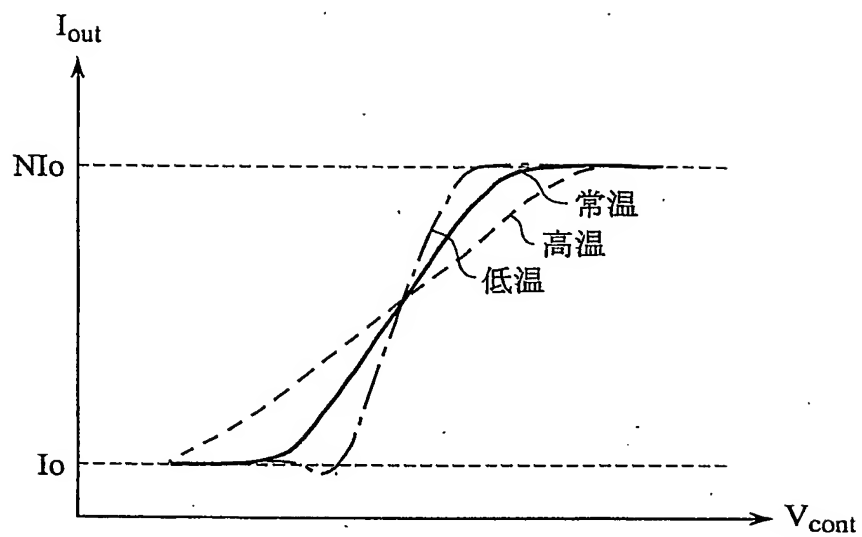
第5図



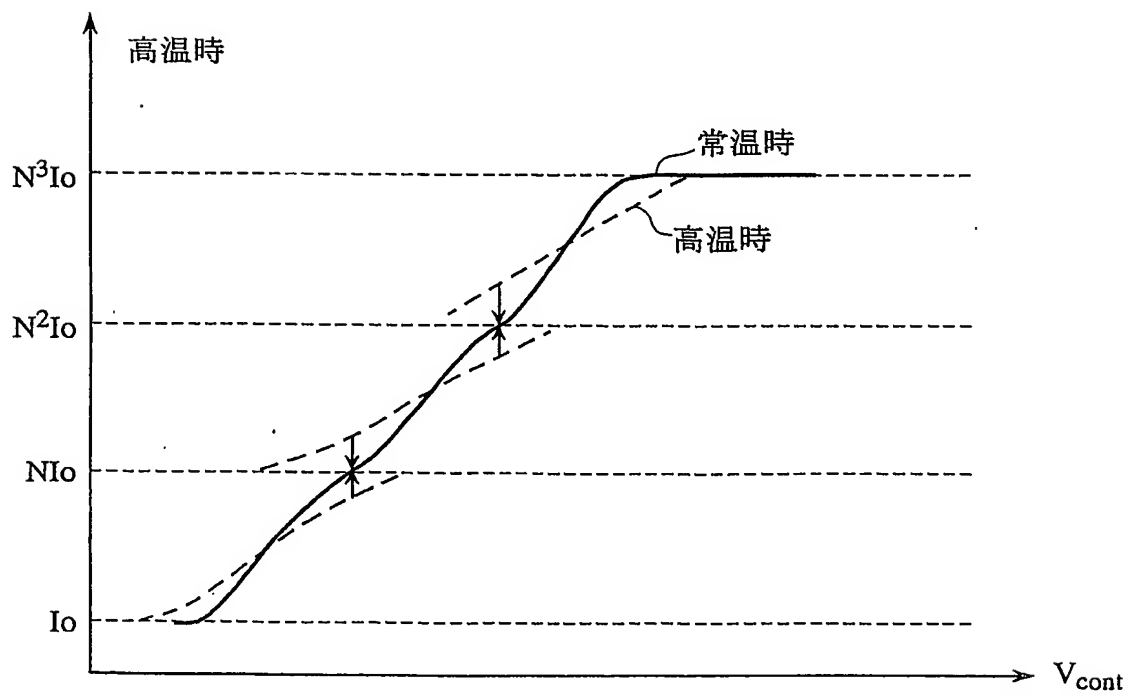
第4図



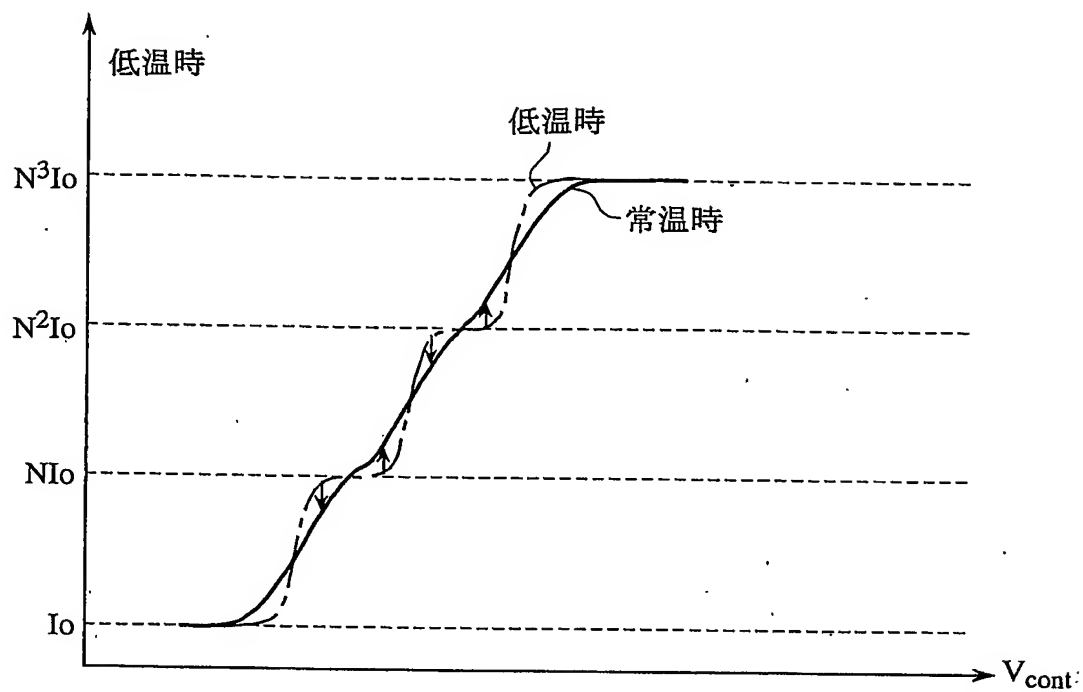
第 6 図



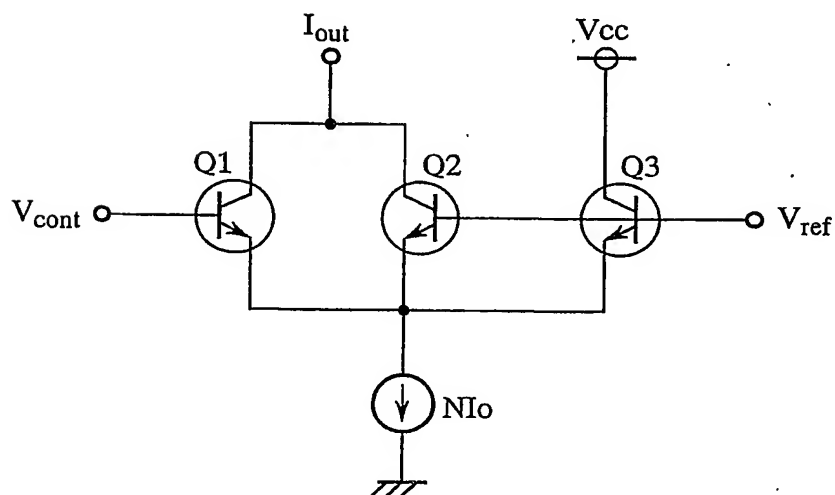
第 7 図



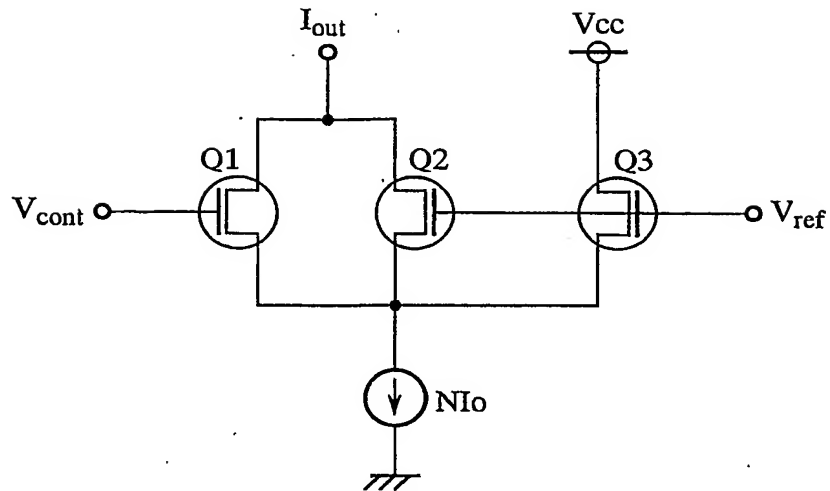
第 8 図



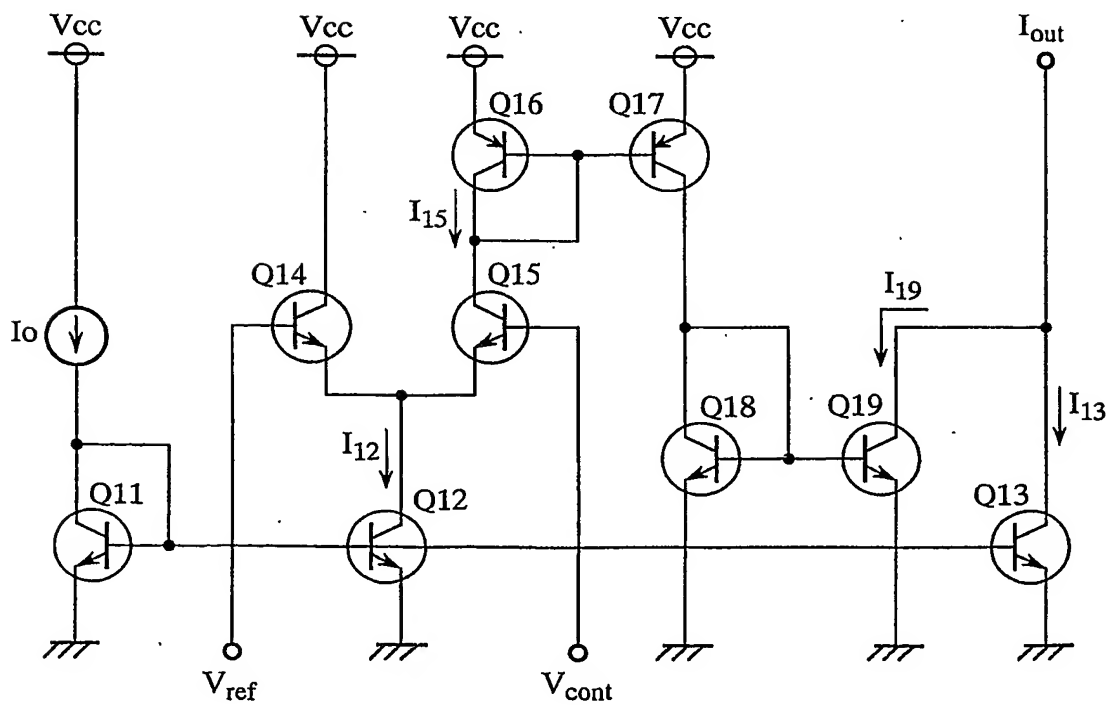
第 9 図



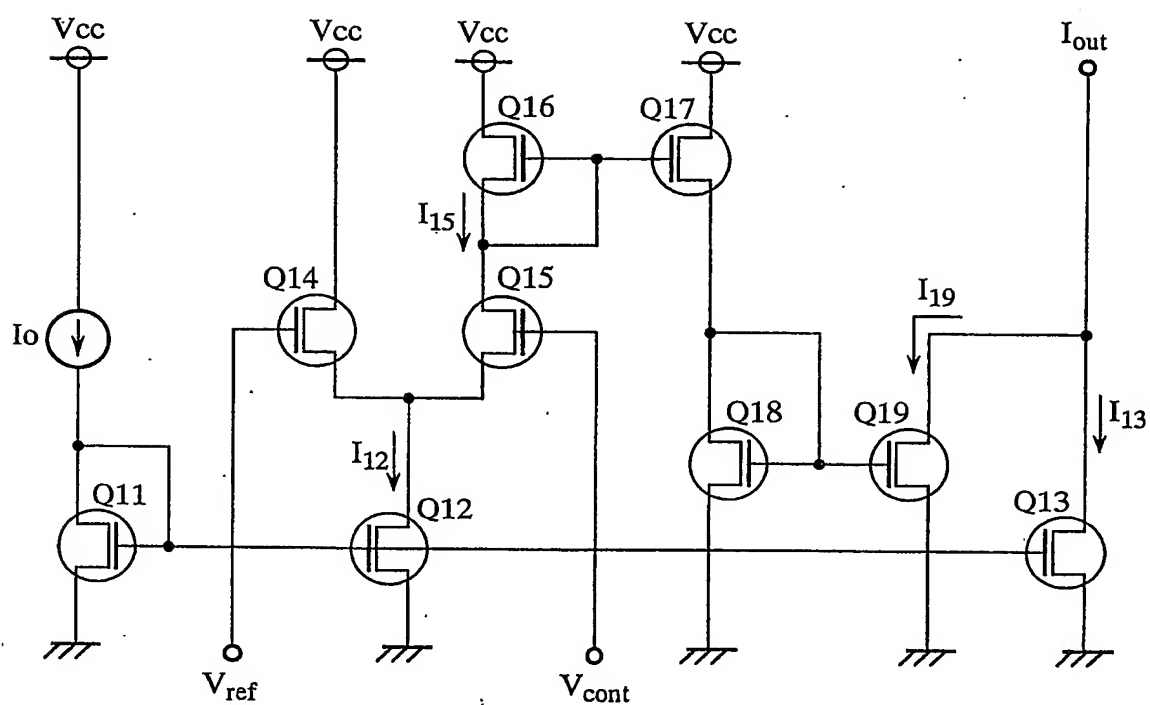
第10図



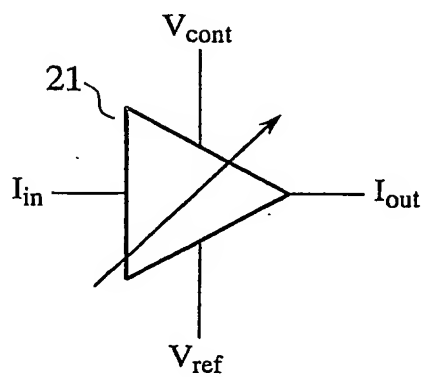
第11図



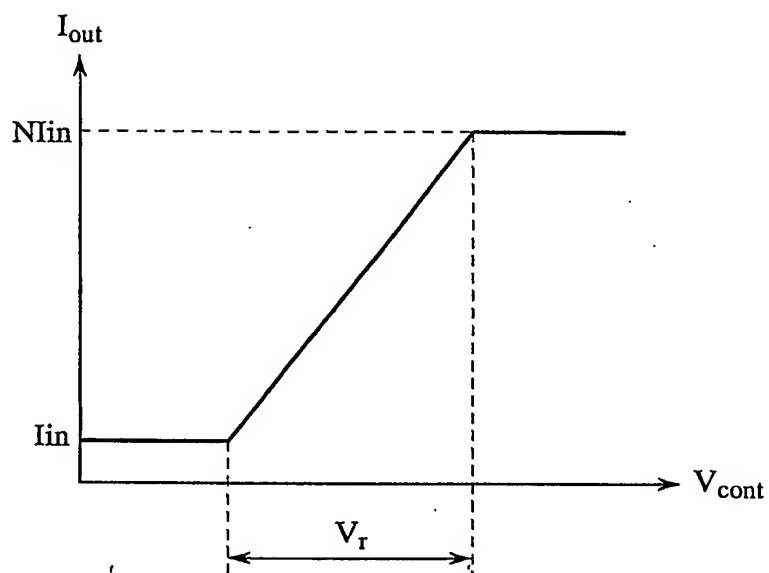
第12図



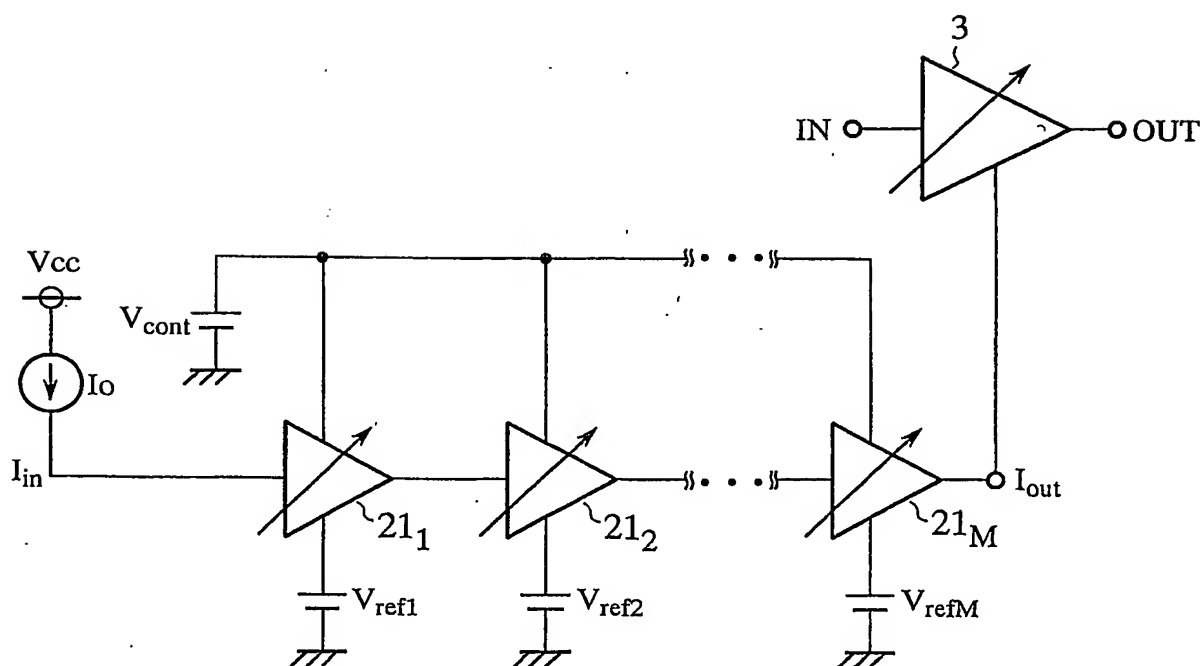
第13図



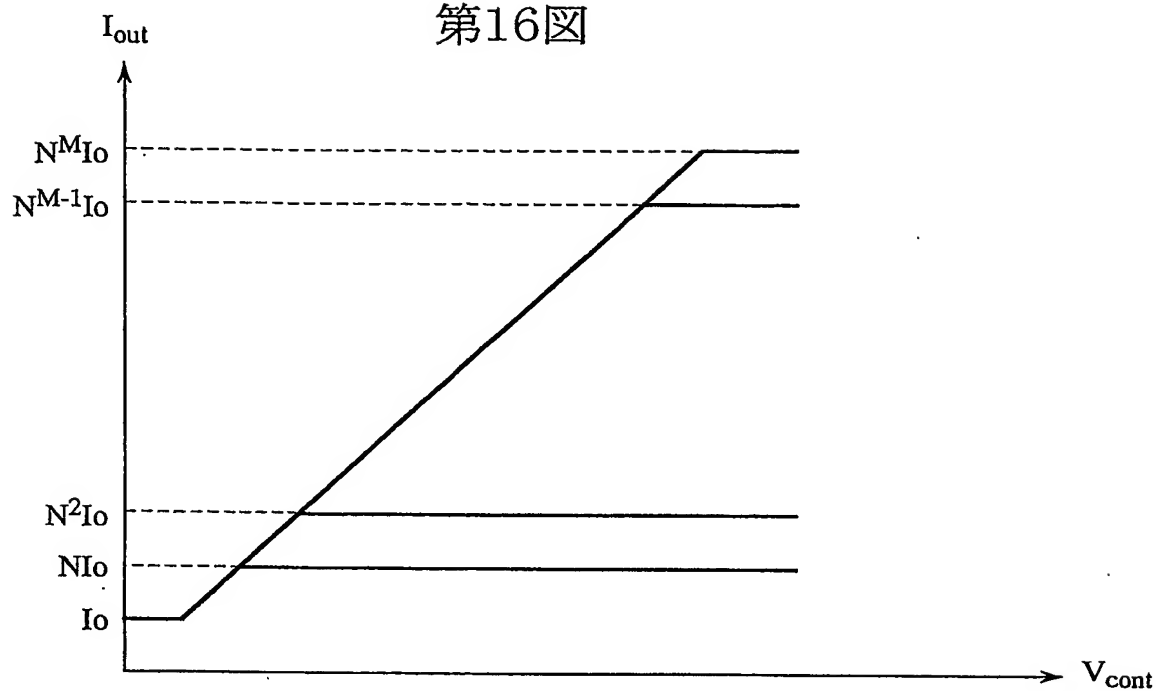
第14図



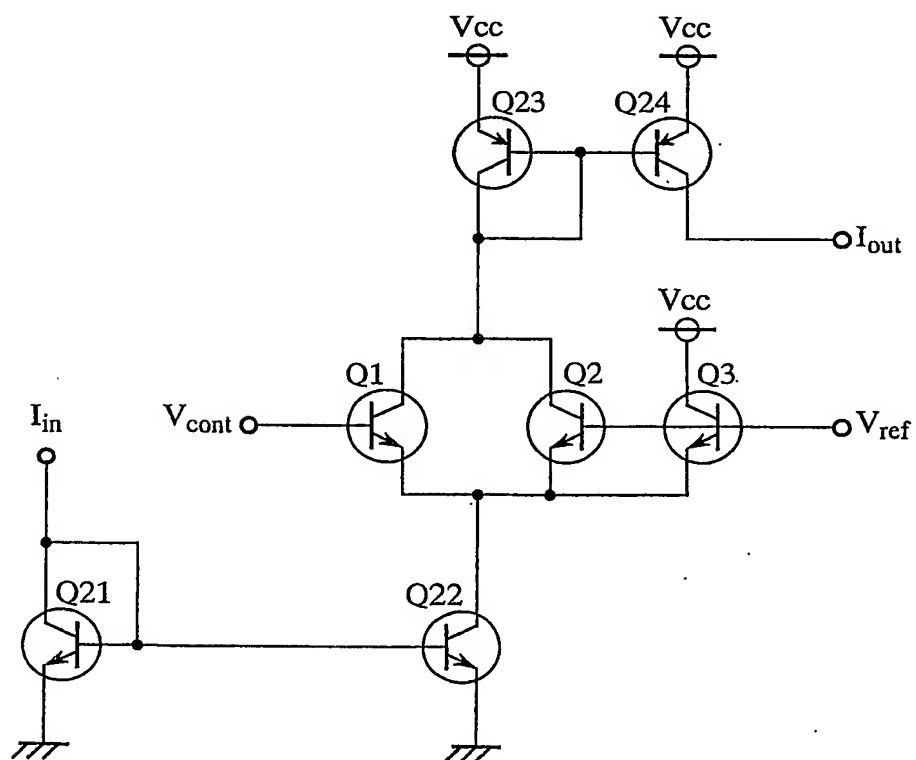
第15図



第16図

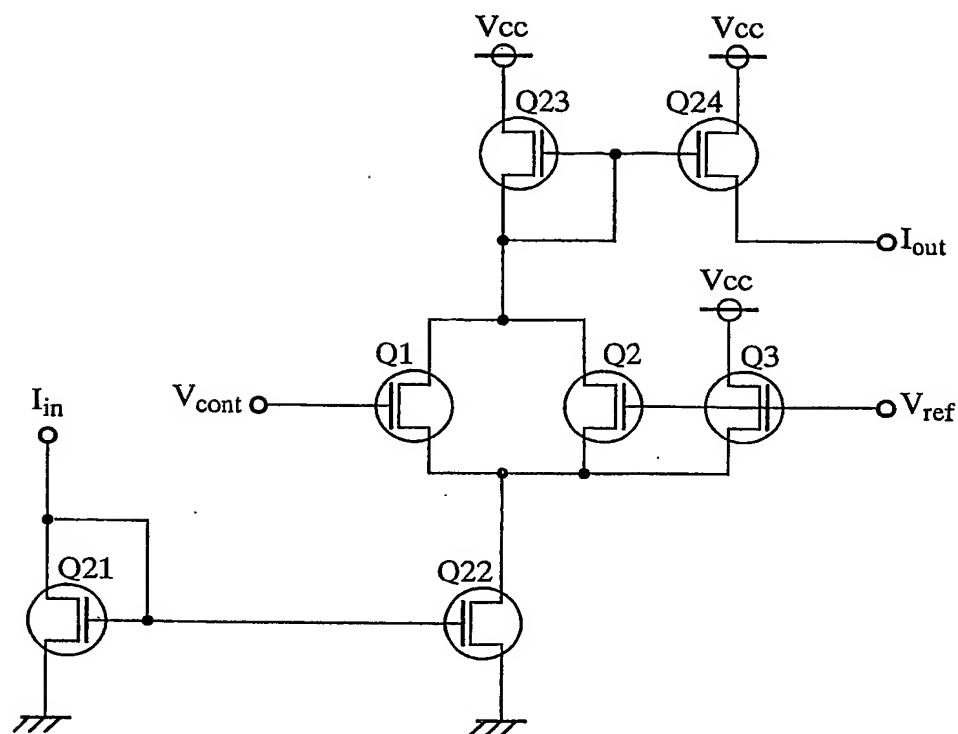


第17図

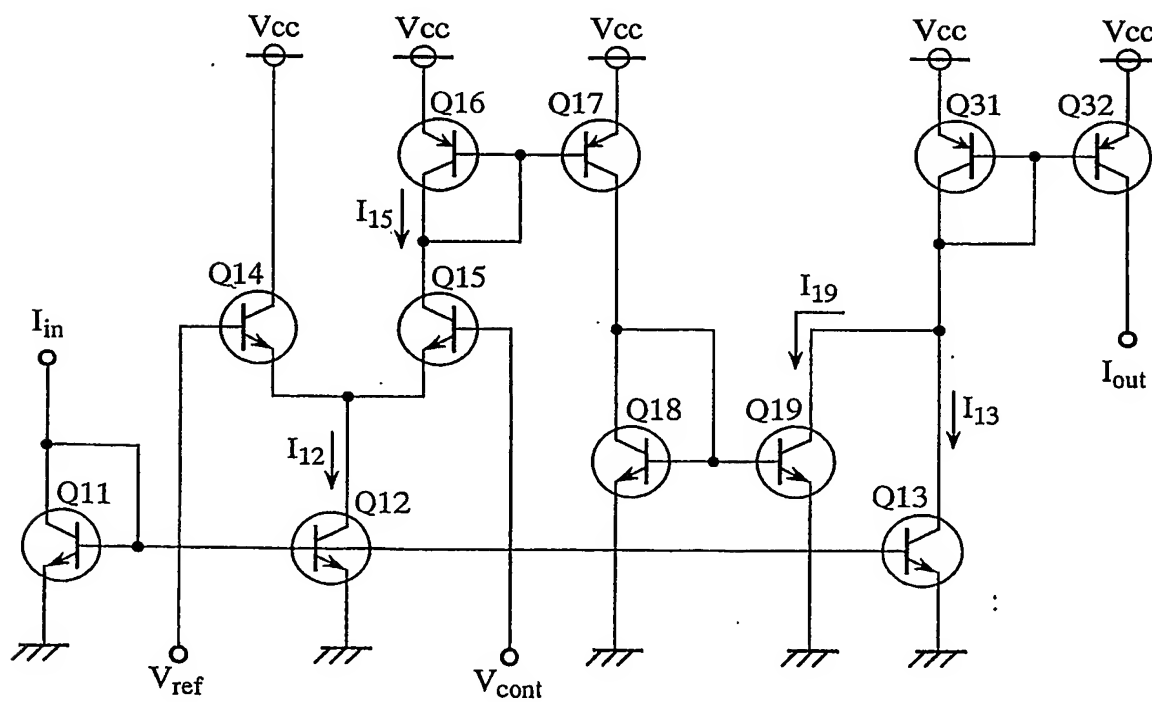


10/13

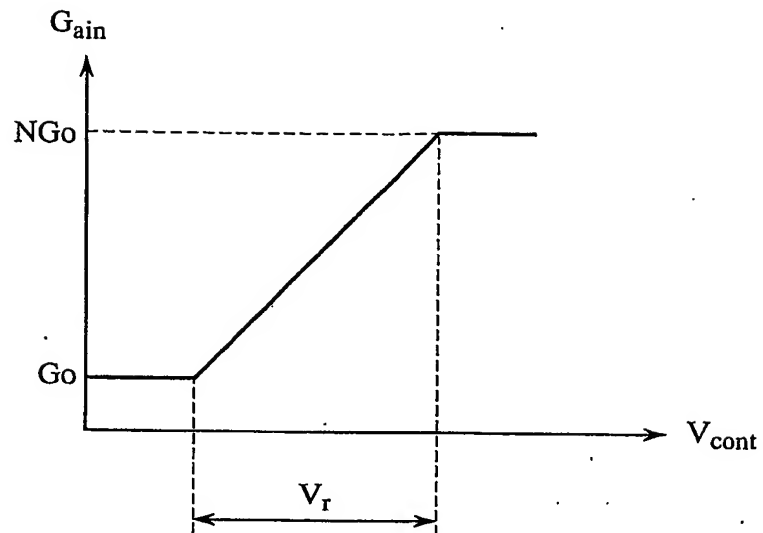
第18図



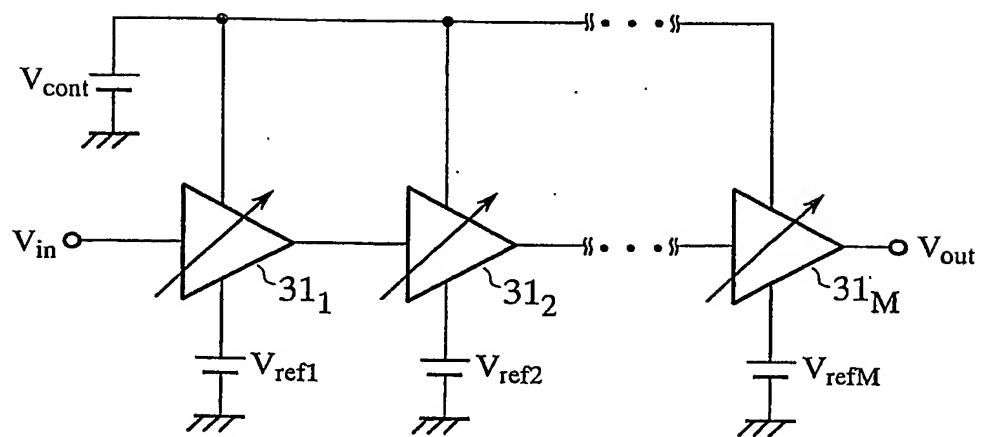
第19図



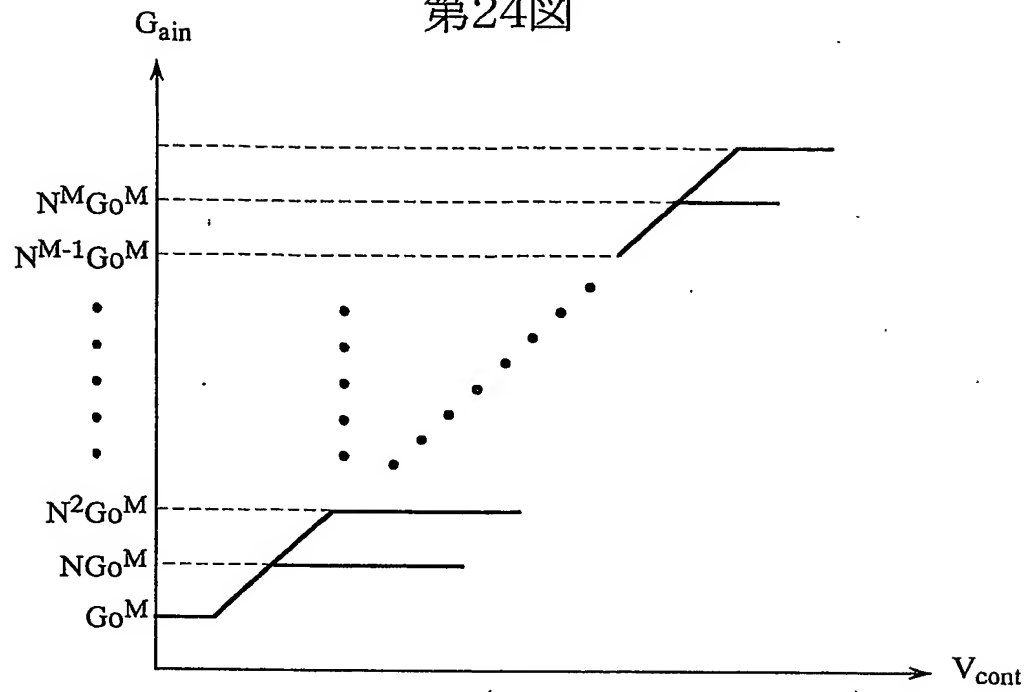
第22図



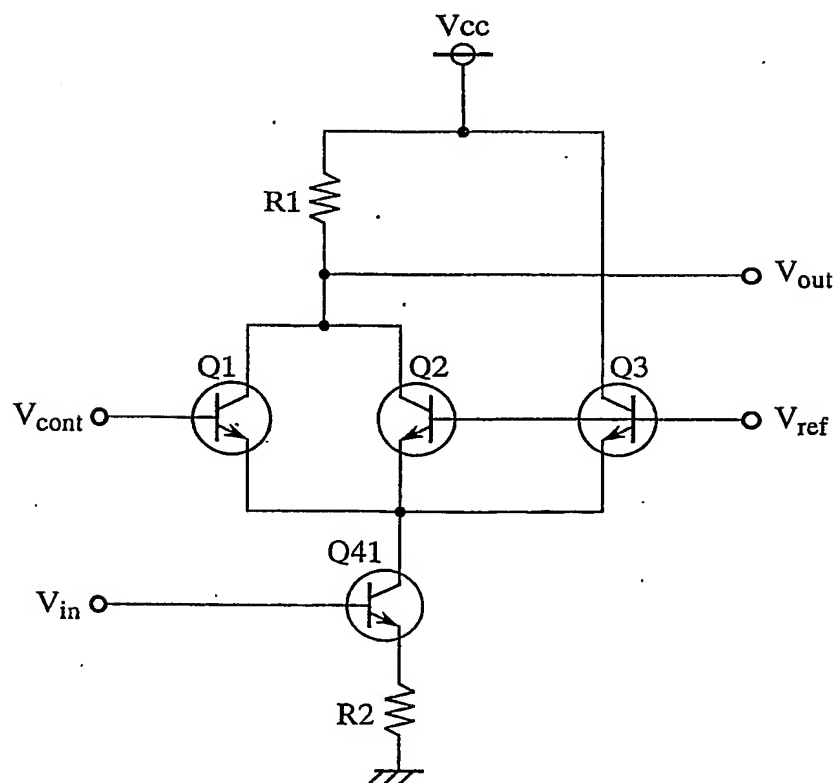
第23図



第24図



第25図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09639

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03G3/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03G3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-13159 A (Sony Corp.),	7
Y	14 January, 2000 (14.01.00), Page 4, Par. No. [0019] to page 5, Par. No. [0025]; Fig. 14 (Family: none)	4-6, 8
Y	JP 4-30612 A (NEC Corp.), 03 February, 1992 (03.02.92), Full text; Fig. 1 (Family: none)	4-6
Y	JP 60-97712 A (Mitsubishi Electric Corp.), 31 May, 1985 (31.05.85), Page 3, upper left column, line 8 to lower right column, line 11; Fig. 2 (Family: none)	5, 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 December, 2002 (12.12.02)

Date of mailing of the international search report
24 December, 2002 (24.12.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09639

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-132412 A (NEC IC Miconsystem Kabushiki Kaisha), 15 June, 1987 (15.06.87), Page 2, lower left column, line 1 to lower right column, line 19; Fig. 1 (Family: none)	5, 8
Y	JP 57-196609 A (Matsushita Electric Industrial Co., Ltd.), 02 December, 1982 (02.12.82), Page 2, upper right column, line 12 to page 3, upper left column, line 16; Fig. 2 (Family: none)	5, 8
Y	JP 62-7210 A (Fuji Photo Film Co., Ltd.), 14 January, 1987 (14.01.87), Full text; Figs. 1 to 5 (Family: none)	6
A	JP 63-82110 A (Sony Corp.), 12 April, 1988 (12.04.88), Full text; all drawings (Family: none)	1-3
A	JP 7-58562 A (Sony Corp.), 03 March, 1995 (03.03.95), Full text; all drawings (Family: none)	1-3

国際調査報告

国際出願番号 PCT/JPO2/09639

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/02

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/02

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2002年
日本国登録実用新案公報 1994-2002年
日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2000-13159 A (ソニー株式会社) 2000. 01. 14 第4頁【0019】～第5頁【0025】、図14 (ファミリーなし)	7 4-6, 8
Y	JP 4-30612 A (日本電気株式会社) 1992. 02. 03 全文、第1図 (ファミリーなし)	4-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

12. 12. 02

国際調査報告の発送日

24.12.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 博幸

5W

9180

電話番号 03-3581-1101 内線 3574

C (続き) .. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 60-97712 A (三菱電機株式会社) 1985. 05. 31 第3頁左上欄第8行目～右下欄第11行目, 第2図 (ファミリーなし)	5, 8
Y	JP 62-132412 A (日本電気アイシーマイコンシステム株式会社) 1987. 06. 15 第2頁左下欄第1行目～右下欄第19行目, 第1図 (ファミリーなし)	5, 8
Y	JP 57-196609 A (松下電器産業株式会社) 1982. 12. 02 第2頁右上欄第12行目～第3頁左上欄第16行目, 第2図 (ファミリーなし)	5, 8
Y	JP 62-7210 A (富士写真フイルム株式会社) 1987. 01. 14 全文, 第1～5図 (ファミリーなし)	6
A	JP 63-82110 A (ソニー株式会社) 1988. 04. 12 全文, 全図 (ファミリーなし)	1-3
A	JP 7-58562 A (ソニー株式会社) 1995. 03. 03 全文, 全図 (ファミリーなし)	1-3